

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

### **IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

PAT-NO: JP404050783A

DOCUMENT-IDENTIFIER: JP 04050783 A

TITLE: SCAN-PATH DATA RETURNING FUNCTION  
INCORPORATED LSI

PUBN-DATE: February 19, 1992

INVENTOR-INFORMATION:

NAME  
KOUMAE, SEIICHI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NEC CORP	N/A

APPL-NO: JP02158716

APPL-DATE: June 19, 1990

INT-CL (IPC): G01R031/28, G01R031/26 , G06F011/22 , H01L021/66

US-CL-CURRENT: 714/726, 714/FOR.100

ABSTRACT:

PURPOSE: To shorten a test time and to inspect Ac characteristics by fetching scan-out data of an LSI in a following stage in synchronism with a clock and transferring it to a precedent stage when a scan-path data (SPD) return mode is selected.

CONSTITUTION: In the SPD return mode, the gate of an output control circuit 4 is opened, the output of a register quantity detecting circuit goes down to L, and the same signals which are inputted to a register (SPR) 1 <SB> 6 </SB> with a scan path and a register 15 for synchronization are sent out of SIN pins. Then

when the clock signal(CLK) is applied from a CLK pin, the signal from the SPR1<SB>7</SB> in the precedent stage is sent out of the SIN pin with the clock signals from a clock control circuit 7 and a register clock control circuit 8 by register quantity match detection and then the CLK is applied four times, the signal from SPR1<SB>5</SB> is sent out of the SIN pin. Further, when the CLK is applied once, the gates of a control circuit 2 and the circuit 7 are closed by register match detection and the signal from an SOUT pin is inputted to the register 15 and sent out to the SIN pin.

COPYRIGHT: (C)1992,JPO&Japio

## ⑫ 公開特許公報(A) 平4-50783

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)2月19日

G 01 R 31/28

31/26

G 06 F 11/22

H 01 L 21/66

3 6 0

G

P

F

8203-2G

7230-5B

7013-4M

6912-2G

6912-2G

G 01 R 31/28

V

G

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 スキャンバスデータ戻し機能内蔵LSI

⑯ 特 願 平2-158716

⑰ 出 願 平2(1990)6月19日

⑱ 発 明 者 幸 前 成 一 東京都港区芝5丁目7番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 岩佐 義幸

## 明 細 書

## 1. 発明の名称

スキャンバスデータ戻し機能内蔵LSI

## 2. 特許請求の範囲

(1) クロックに同期して動作するスキャンバス付レジスタを備え、スキャンバスデータ戻しモードのときに、スキャンバス付レジスタに格納されたスキャンアウトデータを前段に転送するスキャンバスデータ戻し機能内蔵LSIにおいて、

スキャンバスデータ戻しモードの選択時に、次段のLSIのスキャンアウトデータをクロックに同期して取り込み、このスキャンアウトデータを前段に転送する同期手段を有することを特徴とするスキャンバスデータ戻し機能内蔵LSI。

## 3. 発明の詳細な説明

(産業上の利用分野)

この発明は、スキャンバス付レジスタを内蔵するスキャンバスデータ戻し機能内蔵LSI(大規模集積回路)に関する。

(従来の技術)

スキャンバス付レジスタを備えているものに、スキャンバスデータ戻し機能付スキャンバス内蔵LSIがある。このLSIは、不良診断などの検査を容易に行うためのものである。このようなスキャンバスデータ戻し機能付スキャンバス内蔵LSIの一例を第2図に示す(特願平1-147321号明細書)。

第2図に示すこのLSIは、スキャンバス付レジスタ内蔵回路21と、組合せ回路22と、バッファ回路23と、スキャンバスデータ戻し回路24とを備えている。

スキャンバス付レジスタ内蔵回路21は、組合せ回路21<sub>1</sub>、21<sub>2</sub>と、スキャンバス付レジスタ21<sub>3</sub>、21<sub>4</sub>とを備えている。

スキャンバスデータ戻し回路24は、出力制御素子24<sub>1</sub>と、スキャンバスデータ戻しモード条件回路24<sub>2</sub>と、クロックバッファ回路24<sub>3</sub>、24<sub>4</sub>と、クロック制御回路24<sub>5</sub>と、パワーオンリセット回路24<sub>6</sub>と、カウンタ回路24<sub>7</sub>と、レジスタ数一致検出回路24<sub>8</sub>と、出力バッファ回路24<sub>9</sub>と、出力前

御回路24<sub>1</sub>。とを備えている。

このようなスキャンバスデータ戻し機能付スキャンバス内蔵LSIのスキャンバス付レジスタ内蔵回路21は、TESTピンを高レベルにし、CLKピンからクロック信号を入力することにより、SFTピンが低レベルの時は、IN1ピン、IN2ピン、IN3ピン、IN4ピン、IN5ピンからの信号を取り込む。また、SFTピンが高レベルの時は、SINピンからの信号を取り込む。その後、CLKピンからクロック信号を5回入力することによりスキャンバス付レジスタ21<sub>1</sub>。に取り込まれる。

パワーオンリセット回路24<sub>2</sub>。は、電源をオンすることにより、カウンタ回路24<sub>7</sub>。をリセットする。

レジスタ数一致検出回路24<sub>3</sub>。は、スキャンバスデータ戻し機能内蔵LSIに内蔵されたスキャンバス付レジスタの数と、カウンタ回路24<sub>7</sub>。のカウント数とが一致したときに高レベルとなり、それ以外は低レベルを出力している。

つぎに、SFTピンを高レベル、FEQUAL

レジスタ数一致検出回路24<sub>3</sub>。の出力は高レベルとなる。

このとき、レジスタ数一致検出による出力制御回路24<sub>1</sub>。のゲートが閉まり、SINピンにはSOUTピンからの信号が送出される。また、レジスタ数一致検出によるクロック制御回路24<sub>4</sub>。のゲートも閉まり、クロック信号を送出できなくなる。さらに、BEQUALピンからは低レベルの信号が送出される。

第2図に示すLSIを用いたパッケージの一例を第3図に示す(特願平2-42422号明細書)。第3図のスキャンバスデータ戻し機能付LSIを使用した検査容易化パッケージは、第2図に示すLSIと同様なスキャンバスデータ戻し機能付スキャンバス内蔵LSI31~34を利用し、LSIのスキャンアウトデータ端子およびBEQUAL端子の各々を次段のLSIのスキャンインデータ端子、FEQUAL端子に接続して大規模なシフトレジスタを構成している。これにより、検査時には、スキャンバス戻しモードを選択し、大規模なシフ

ピンおよびTESTピンを低レベルにすると、スキャンバスデータ戻しデータとなり、スキャンバスデータ戻しモードの出力制御素子24<sub>1</sub>。のゲートが開く。このとき、カウンタ回路24<sub>7</sub>。は、パワーオンリセット回路24<sub>2</sub>。によりリセットされており、レジスタ数一致検出回路24<sub>3</sub>。は、低レベルとなっている。したがって、レジスタ数一致検出による出力制御回路24<sub>1</sub>。のゲートが開き、スキャンバス付レジスタ21<sub>1</sub>。からの信号がSINピンに送出されている。

つぎに、CLKピンよりクロック信号を1回加えることにより、レジスタ数一致検出によるクロック制御回路24<sub>4</sub>。からクロック信号が送出され、前段のスキャン付レジスタからの信号がSINピンに送出される。その時、カウンタ回路24<sub>7</sub>。は、1つカウントアップしている。その後、CLKピンよりクロック信号を4回加えると、スキャンバス付レジスタ21<sub>1</sub>。からの信号がSINピンに送出される。さらに、CLKピンよりクロック信号を1回加えると、カウンタ回路24<sub>7</sub>。が「6」となり、

トレジスタを構成する多段回路の内、パッケージのスキャンインデータ端子に近いLSIから順順にパッケージのスキャンインデータ端子よりデータの読み出しができる。ところで、スキャンバスデータ戻し機能内蔵LSIは、第3図に示すスキャンバスデータ戻し機能付LSIを使用した検査容易化パッケージにおいてスキャンバスデータ戻しモードを選択時、後段のLSIのスキャンアウトデータをパッケージのスキャンインデータ端子に、スルーに送出する。

(発明が解決しようとする課題)

上述した第2図に示すスキャンバスデータ戻し機能付スキャンバス内蔵LSIを用いて、第3図に示すスキャンバスデータ戻し機能付LSIを使用した検査容易化パッケージのように、LSIのスキャンアウトデータ出力端子を別のLSIのスキャンインデータ入力端子に接続する形で多段回路を作り、大規模なシフトレジスタを構成する。

このため、このような検査容易化を目的としたパッケージをファンクション試験機で検査を行う

とき、被試験パッケージ内の配線遅延による影響で、試験機と被試験パッケージとの同期化が難しく、試験スピードの高速化による試験時間の短縮やA c 特性の検査を行う上での妨げとなるという欠点がある。

この発明の目的は、このような欠点を除去するために同期化回路を有するスキャンバスデータ戻し機能内蔵LSIを提供することにある。

(課題を解決するための手段)

この発明は、クロックに同期して動作するスキャンバス付レジスタを備え、スキャンバスデータ戻しモードのときに、スキャンバス付レジスタに格納されたスキャンアウトデータを前段に転送するスキャンバスデータ戻し機能内蔵LSIにおいて、

スキャンバスデータ戻しモードの選択時に、次段のLSIのスキャンアウトデータをクロックに同期して取り込み、このスキャンアウトデータを前段に転送する同期手段を有することを特徴とする。

IN 5ピンからの信号を取り込む。そして、取り込まれた信号に係る信号は、組合わせ回路1、スキャンバス付レジスタ1<sub>1</sub>～1<sub>n</sub>、組合わせ回路1<sub>1</sub>、スキャンバス付レジスタ1<sub>1</sub>～1<sub>n</sub>を経由して、組合わせ回路3に送られる。また、SFTピンが高レベルの時は、SINピンからの信号を取り込む。

出力制御回路2は、レジスタ数一致検出回路13からの出力により開閉する、レジスタ数一致検出による出力制御回路である。出力制御回路2からの出力端子は、SOUTピンとレジスタ15の端子Dとに接続されている。

組合わせ回路3は、スキャンバス付レジスタ1<sub>1</sub>～1<sub>n</sub>からの信号を受け取る。そして、OUT1ピン、OUT2ピン、OUT3ピン、OUT4ピン、OUT5ピンに信号を送る。

出力制御回路4は、条件回路5の出力により開閉する、スキャンバスデータ戻しモードの出力制御回路である。

条件回路5は、TESTピンとFEQUALピ

(実施例)

次に、この発明の実施例について図面を参照して説明する。

第1図は、この発明の一実施例を示すブロック図である。第1図に示すスキャンバスデータ戻し機能内蔵LSIは、スキャンバス付レジスタ内蔵回路1と、出力制御回路2、4と、組合わせ回路3と、条件回路5と、クロックバッファ回路6、9と、クロック制御回路7、8と、演算回路10と、パワーオンリセット回路11と、カウンタ回路12と、レジスタ数一致検出回路13と、出力バッファ回路14と、レジスタ15とを備えている。

このようなスキャンバスデータ戻し機能付LSIのスキャンバスレジスタ内蔵回路1は、組合わせ回路1<sub>1</sub>、1<sub>2</sub>と、スキャンバス付レジスタ1<sub>1</sub>、～1<sub>n</sub>と、バッファ回路1<sub>1</sub>とを備えている。スキャンバス付レジスタ内蔵回路1は、TESTピンを高レベルにしてCLKピンからクロック信号を加えた場合、SFTピンが低レベルのとき、IN1ピン、IN2ピン、IN3ピン、IN4ピン、

IN5ピンからの信号を受け取るスキャンバスデータ戻しモード条件回路である。

クロックバッファ回路6は、CLKピンとTESTピンとからの信号を受け取る。

クロック制御回路7は、CLKピン、FEQUALピン、TESTピンおよびレジスタ数一致検出回路13の信号を受け取る、レジスタ数一致検出によるクロック制御回路である。

クロック制御回路8は、CLKピン、FEQUALピンおよびTESTピンの信号を受け取る同期化レジスタ用クロック制御回路である。

クロックバッファ回路9は、クロックバッファ回路6とクロック制御回路7とからの信号を受け取る。そして、出力をスキャンバス付レジスタ内蔵回路1のスキャンバス付レジスタ1<sub>1</sub>～1<sub>n</sub>の端子CPに送る。

演算回路10は、クロックバッファ回路6とクロック制御回路8とからの信号を受け取る。そして、出力をレジスタ15の端子CPに送る。

パワーオンリセット回路11は、電源がオンされ

ると、カウンタ回路12とレジスタ15とをリセットする。

カウンタ回路12は、クロック制御回路7からの信号を、端子CPを経由して受け取り、これをカウントする。

レジスタ数一致検出回路13は、スキャンバス付レジスタ内蔵回路1にあるスキャンバス付レジスタの数とカウンタ回路12のカウント数とが一致したときに高レベルとなり、それ以外は低レベルとなる。そして、検出結果に係る信号を出力バッファ回路14を経由してBEQUALピンに送ると共に、この信号を出力制御回路2とクロック制御回路7とに送る。

レジスタ15は、SOUTピンからの信号を、端子Dを経由して受け取る。そして、端子Qからの出力を出力制御回路4に送る。すなわち、このレジスタ15は、同期化用のレジスタであって、スキャンバスデータ戻しモードを選択時、次段のLSIのスクアンアウトデータをクロックに同期して取り込むことができる。

とき、カウンタ回路12はパワーオンリセット回路11によりリセットされており、レジスタ数一致検出回路13の出力は低レベルとなっている。したがって、スキャンバス付レジスタ内蔵回路1のスキャンバス付レジスタ1<sub>1</sub>と、同期化用レジスタ15とに取り込まれた同じ信号が、SINピンより送出されている。

次に、CLKピンよりクロック信号を加えることにより、レジスタ数一致検出によるクロック制御回路7と同期化レジスタ用クロック制御回路8から、クロック信号が送出される。そして、スキャンバス付レジスタ内蔵回路1において、前段のスキャン付レジスタ1<sub>1</sub>からの信号がSINピンに送出される。その後、CLKピンよりクロック信号を4回加えると、スキャンバス付レジスタ内蔵回路1のスキャンバス付レジスタ1<sub>1</sub>からの信号が、SINピンに送出される。さらに、CLKピンよりクロック信号を1回加えると、カウンタ回路12が「6」となり、レジスタ数一致検出回路13の出力は高レベルとなる。このとき、レジスタ

つぎに、このスキャンバスデータ戻し機能内蔵LSIの動作について説明する。

まず、電源をオンにすると、パワーオンリセット回路11は、カウンタ回路12と同期化用のレジスタ15をリセットする。

次に、スキャンバス付レジスタ内蔵回路1は、TESTピンを高レベルにしCLKピンからクロック信号を加えた場合、SFTピンが低レベルの時、IN1ピン、IN2ピン、IN3ピン、IN4ピン、IN5ピンからの信号を取り込む。また、スキャンバス付レジスタ内蔵回路1は、SFTピンが高レベルの時、SINピンからの信号を取り込む。なお、そのとき、CLKピンからクロック信号を5回入力することにより、スキャンバス付レジスタ1<sub>1</sub>と同期化用レジスタ15とに、同じ信号が取り込まれる。

SFTピンを高レベルにし、FEQUALピン、TESTピンを低レベルにすると、スキャンバスデータ戻しモードとなり、スキャンバスデータ戻しモードの出力制御回路4のゲートが開く。この

数一致検出による出力制御回路2のゲートが閉まる。そして、同期用レジスタ15にSOUTピンからの信号が取り込まれ、SINピンに送出される。また、BEQUALピンからは、低レベルの信号が送出される。さらに、レジスタ数一致検出によるクロック制御回路7のゲートも閉まり、クロック信号が送出できなくなる。

このように、本実施例は、第2図に示すスキャンバスデータ戻し機能付スキャンバス内蔵LSIに加え、第3図に示すようなスキャンバスデータ戻し機能付LSIを使用した検査容易化パッケージにおいて、スキャンバスデータ戻しモードを選択時、次段のLSIのスクアンアウトデータをクロックに同期して取り込むことができる回路を有する同期化回路付スキャンバスデータ戻し機能内蔵LSIである。

そして、スキャンバスデータ戻し機能付スキャンバス内蔵LSIに同期化回路を付加したLSIを用いて、第3図に示すような、スキャンバスデータ戻し機能付LSIを使用した検査容易化パッ

ケースのように、大規模なシフトレジスタを構成したパッケージをファンクション試験機で検査を行った時、試験機と被試験パッケージとの同期化がとれるため、試験スピードの高速化による試験時間の短縮やA c 特性の検査を行うことができる。

#### 〔発明の効果〕

以上説明したように、この発明によれば、次段のスカンアウトデータを前段に転送するときに、このスカンアウトデータをクロックに同期して転送できる効果がある。

#### 4. 図面の簡単な説明

第1図は、この発明の一実施例を示すブロック図、

第2図は、スカンバスデータ戻し機能付スカンバス内蔵LSIの一例を示すブロック図、

第3図は、スカンバスデータ戻し機能付LSIを使用した検査容易化パッケージの一例を示す図である。

1・・・スカンバス付レジスタ内蔵回路

1.1, 1.2, 3・・・組合わせ回路

1.3～1.9・・・スカンバス付レジスタ

1.9・・・バッファ回路

2・・・レジスタ一致検出による出力制御回路

4・・・スカンバスデータ戻しモードの出力制御回路

5・・・スカンバスデータ戻しモード条件回路

6・・・クロックバッファ回路

7・・・レジスタ数一致検出によるクロック制御回路

8・・・同期化レジスタ用クロック制御回路

9・・・クロックバッファ回路

10・・・演算回路

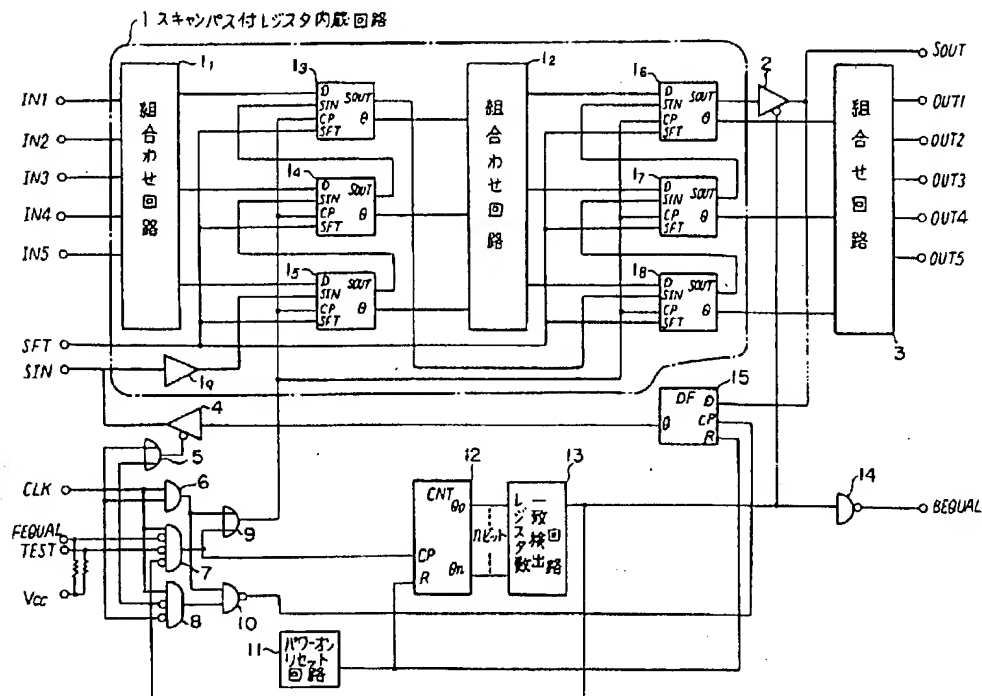
11・・・パワーオンリセット回路

12・・・カウンタ回路

13・・・レジスタ数一致検出回路

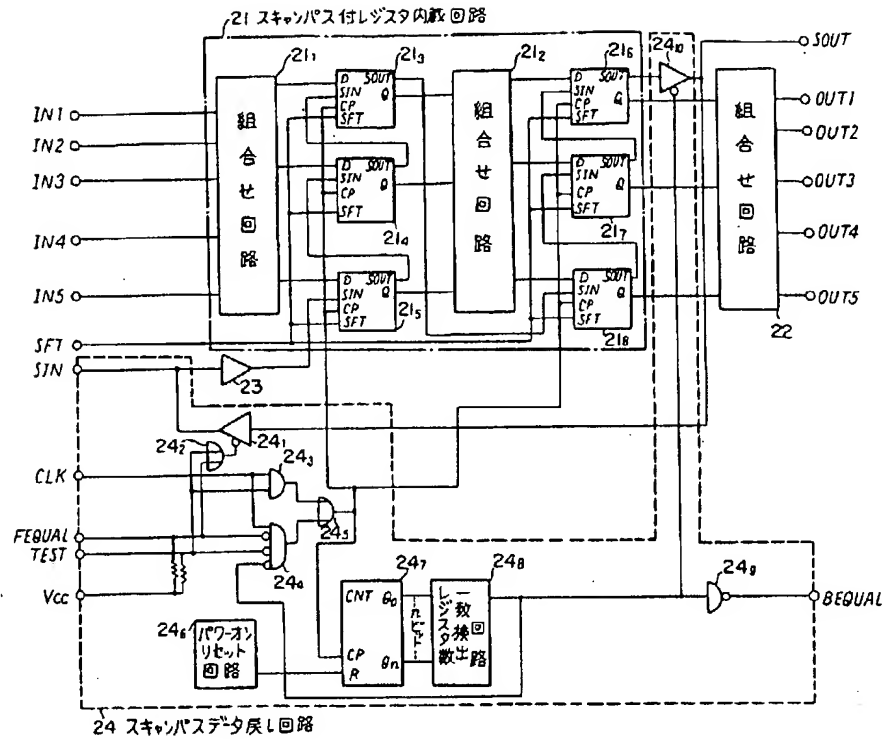
14・・・出力バッファ回路

15・・・同期化用レジスタ

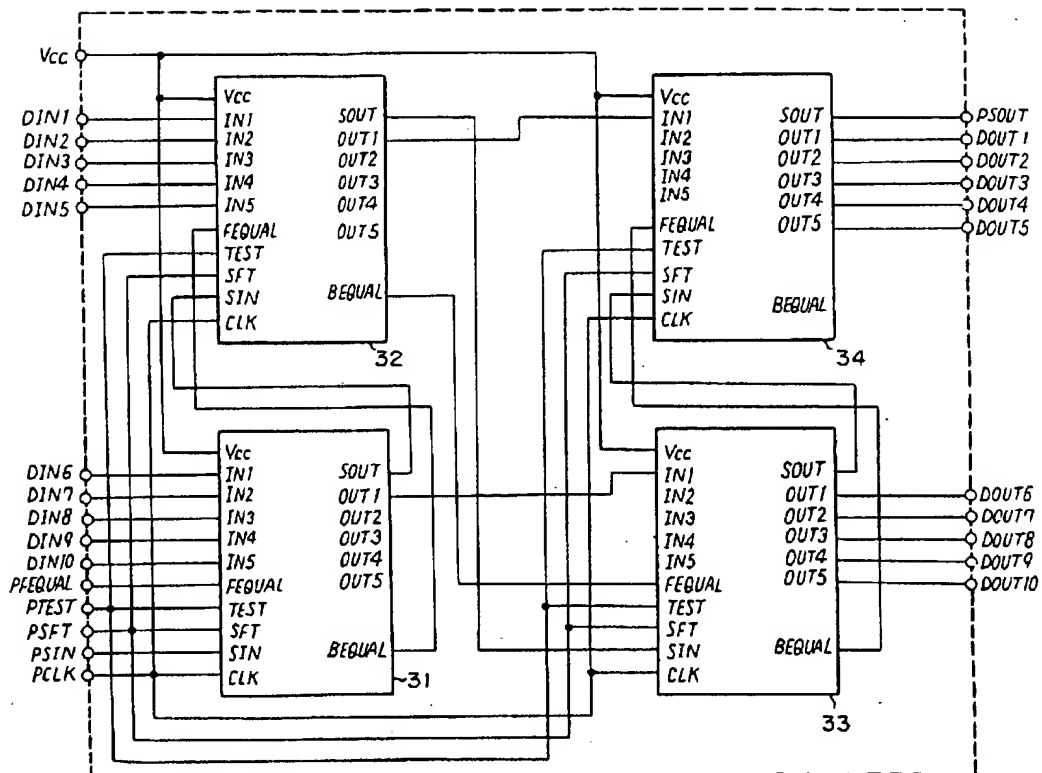


第1図





第 2 図



第 3 図